

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0086395  
Application Number

출원년월일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

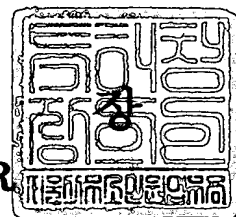
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      05      월      14      일

특      허      청

COMMISSIONER





**【요약서】****【요약】**

본 발명은 스토리지노드간 브릿지 및 스토리지노드의 뿔힘 현상을 억제하는데 적합한 캐패시터 및 그의 제조 방법을 제공하기 위한 것으로, 반도체 기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 콘택홀을 형성하는 단계, 상기 콘택홀에 매립되면서 상기 층간절연막의 표면과 일치하는 평탄도를 갖는 스토리지노드콘택을 형성하는 단계, 상기 층간절연막 상에 스토리지노드산화막을 형성하는 단계, 상기 스토리지노드산화막을 식각하여 상기 스토리지노드콘택을 노출시키는 스토리지노드홀을 형성하는 단계, 상기 스토리지노드홀에 의해 노출된 상기 스토리지노드콘택의 상부 일부를 리세스시켜 아래로 꺼지는 형태의 지지홈을 형성하는 단계, 및 상기 스토리지노드홀 내에 자신의 하부 영역이 상기 지지홈에 지지되면서 상기 스토리지노드 콘택과 전기적으로 연결되는 실린더 구조의 스토리지노드를 형성하는 단계를 포함한다.

**【대표도】**

도 4f

**【색인어】**

캐패시터, 지지홈, 브릿지, 뿔힘, 스토리지노드, 언더컷, 리세스

## 【명세서】

## 【발명의 명칭】

캐패시터 및 그의 제조 방법{Capacitor and method of fabrication for the same}

## 【도면의 간단한 설명】

도 1a 내지 도 1c는 종래기술에 따른 캐패시터의 제조 방법을 도시한 공정 단면도,

도 2는 종래기술의 스토리지노드간 브릿지 및 뽑힘 현상을 나타낸 도면,

도 3은 본 발명의 제1 실시예에 따른 캐패시터의 구조 단면도,

도 4a 내지 도 4f는 도 3에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도,

도 5는 본 발명의 제2 실시예에 따른 캐패시터의 구조 단면도,

도 6a 내지 도 6g는 도 5에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도.

\* 도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판

22 : 층간절연막

23 : 폴리실리콘플러그

24 : 질화막

25 : 스토리지노드산화막

26 : 스토리지노드 홀

27 : 지지홈

28a : 스토리지노드

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 캐패시터의 제조 방법에 관한 것이다.
- <13> 최근에 메모리 소자의 고집적화, 소형화 및 고속화에 따라 캐패시터가 차지하는 면적이 감소하고 있으며, 비록 반도체 소자가 고집적화 및 소형화되더라도 반도체 소자를 구동시키기 위한 캐패시터의 정전 용량은 최소한 확보되어야 한다.
- <14> 캐패시터의 정전 용량을 확보하기 위한 한 방안으로 캐패시터의 스토리지노드를 실린더(Cylinder) 구조, 스택(Stack) 구조, 오목(Concave) 구조 등 다양한 구조로 형성하여 제한된 면적 하에서 캐패시터 스토리지노드의 유효 표면적을 극대화시키고 있다.
- <15> 또한, 캐패시터 용량을 확보하기 위해 스토리지노드의 높이를 증가시키고 있다.
- <16> 도 1은 종래기술에 따른 MIS(Metal Insulator Silicon) 캐패시터의 제조 방법을 도시한 공정 단면도이다.
- <17> 도 1a에 도시된 바와 같이, 트랜지스터 및 비트라인 등의 반도체 회로가 형성된 반도체 기판(11) 상에 층간절연막(12)을 형성한 후, 층간절연막(12)을 식각하여 반도체 기판(11)의 일부를 노출시키는 스토리지노드콘택홀을 형성한다. 이때, 스토리지노드콘택홀은 통상적으로 트랜지스터의 소스/드레인 영역, 도우프드 실리콘막, 에피택셜 성장된 실리콘막 등을 노출시킨다.

- <18> 다음에, 스토리지노드콘택홀을 채울때까지 층간절연막(12) 상에 폴리실리콘막을 증착한 후, 층간절연막(12)의 표면이 드러날때까지 리세스 에치백 공정을 통해 평탄화하여 스토리지노드콘택홀에 매립되는 폴리실리콘플러그(13)를 형성한다. 이때, 폴리실리콘플러그(13)는 스토리지노드콘택(Storage Node Contact; SNC)이다.
- <19> 계속해서, 폴리실리콘플러그(13)를 포함한 층간절연막(12) 상에 식각배리어막(etch barrier layer)인 질화막(14)과 스토리지노드의 높이를 결정짓는 스토리지노드 산화막(15)을 차례로 증착한다.
- <20> 다음에, 스토리지노드 산화막(15) 상에 스토리지노드 마스크를 형성한 후, 스토리지노드 마스크를 식각마스크로 스토리지노드 산화막(15)과 질화막(14)을 연속적으로 식각하여 스토리지노드가 형성될 영역, 예컨대 오목(concave) 패턴(16)을 형성한다. 이때, 오목패턴(16)은 높은 두께의 스토리지노드산화막(15)을 식각하여 형성하므로 입구에 비해 바닥으로 갈수록 그 폭이 좁아져 측벽이 경사진다.
- <21> 도 1b에 도시된 바와 같이, 오목패턴(16)을 포함한 스토리지노드산화막(15)상에 화학기상증착법(CVD)으로 도우프드 실리콘막을 증착한 후, 오목 패턴(16)을 채울때까지 도우프드 실리콘막 상에 산화막이나 감광막을 형성한다.
- <22> 다음에, 에치백이나 화학적기계적연마를 통해 오목패턴(16)을 제외한 부분에 형성된 도우프드 실리콘막을 제거하여 도우프드 실리콘막으로 된 실린더 구조의 스토리지노드(17, '하부전극'이라고도 함)를 형성한 후, 산화막이나 감광막을 제거한다.
- <23> 도 1c에 도시된 바와 같이, 스토리지노드 산화막(15)을 습식 딥아웃 공정을 통해 제거한다. 이때, 질화막(14)이 실린더 구조의 스토리지노드(17)를 지지하고 있다.

- <24> 도면에 도시되지 않았지만, 후속 공정으로, 스토리지노드 산화막(16a,16b) 제거후 드러난 실린더 구조의 스토리지노드(17) 상에 유전막과 플레이트노드('상부전극'이라고도 함)를 차례로 형성하여 MIS 캐패시터를 완성한다. 이때, 플레이트노드는 금속물질을 이용한다.
- <25> 그러나, 종래기술은 스토리지노드 산화막(15)의 습식 딥아웃 공정후, 실린더구조의 스토리지노드(17)간 브릿지(bridge) 및 스토리지노드(17)의 뿔힘 현상이 발생하는 문제가 있다(도 2 참조).
- <26> 도 2는 종래기술에 따른 스토리지노드간 브릿지 및 스토리지노드의 뿔힘 현상을 도시한 도면이다.
- <27> 도 2에 도시된 바와 같은 브릿지 및 뿔힘 현상은 스토리지노드 산화막(15)의 식각 공정에서 국부적으로 일어나는 식각불량으로 인한 오픈불량, 스토리지노드 하부 CD(Critical Dimension) 부족 및 스토리지노드 하부 면적 부족에 의한 스토리지노드의 구조적 강도 감소에 의해 발생한다.
- <28> 이러한 현상들이 습식딥 공정에 의한 오목패턴의 뿔힘 공정을 추가하여 개선되고는 있으나 한계가 있고, 특히, 오목패턴 형성후에 발생하는 하부 CD 부족 및 하부 면적 부족에 의한 브릿지 및 뿔힘 현상은 여전히 발생되고 있는 실정이다. 즉, 단일 질화막만으로 스토리지노드를 지지하는데는 한계가 있다.
- <29> 이와 같은 브릿지 및 뿔힘 현상이 발생하면 해당 셀은 그 즉시 오류가 발생하고, 웨이퍼 수율이 현저히 감소한다.

**【발명이 이루고자 하는 기술적 과제】**

- <30>        본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 스토리지노드간 브릿지 및 스토리지노드의 뿔힘 현상을 억제하는데 적합한 캐패시터 및 그의 제조 방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

- <31>        상기 목적을 달성하기 위한 본 발명의 캐패시터의 제조 방법은 반도체 기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 콘택홀을 형성하는 단계, 상기 콘택홀에 매립되면서 상기 층간절연막의 표면과 일치하는 평탄도를 갖는 스토리지노드콘택을 형성하는 단계, 상기 층간절연막 상에 스토리지노드산화막을 형성하는 단계, 상기 스토리지노드산화막을 식각하여 상기 스토리지노드콘택을 노출시키는 스토리지노드홀을 형성하는 단계, 상기 스토리지노드홀에 의해 노출된 상기 스토리지노드콘택의 상부 일부를 리세스시켜 아래로 꺼지는 형태의 지지홈을 형성하는 단계, 및 상기 스토리지노드홀 내에 자신의 하부 영역이 상기 지지홈에 지지되면서 상기 스토리지노드 콘택과 전기적으로 연결되는 실린더 구조의 스토리지노드를 형성하는 단계를 포함하는 것을 특징으로 한다.

- <32>        또한, 본 발명의 캐패시터의 제조 방법은 반도체 기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 콘택홀을 형성하는 단계, 상기 콘택홀에 매립되면서 상기 층간절연막의 표면과 일치하는 평탄도를 갖는 스토리지노드콘택을 형성하는 단계, 상기 층간절연막 상에 상부층이 하부층에 비해



상대적으로 습식식각률이 빠른 이중층의 스토리지노드산화막을 형성하는 단계, 상기 스토리지노드산화막을 식각하여 상기 스토리지노드콘택을 노출시키는 스토리지노드홀을 형성하는 단계, 상기 스토리지노드 홀의 폭을 넓힘과 동시에 상기 스토리지노드산화막의 하부층을 언더컷시키는 단계, 상기 폭이 넓어진 스토리지노드홀에 의해 노출된 상기 스토리지노드콘택의 상부 일부를 리세스시켜 아래로 꺼지는 형태의 지지홈을 형성하는 단계, 및 상기 폭이 넓어진 스토리지노드홀 내에 자신의 하부 영역이 상기 지지홈과 상기 언더컷에 지지되면서 상기 스토리지노드 콘택과 전기적으로 연결되는 실린더 구조의 스토리지노드를 형성하는 단계를 포함하는 것을 특징으로 한다.

<33> 그리고, 본 발명의 캐패시터는 반도체 기판, 상기 반도체 기판 상에 상기 반도체 기판의 일부를 노출시키는 콘택홀을 갖고 형성된 층간절연막, 상기 콘택홀의 상부에 지지홈을 제공하면서 상기 콘택홀의 일부를 채우는 스토리지노드콘택, 및 상기 지지홈에 자신의 하부가 박히면서 상기 스토리지노드콘택과 연결되는 스토리지노드를 포함하는 것을 특징으로 한다.

<34> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<35> 도 3은 본 발명의 실시예에 따른 캐패시터의 구조 단면도이다.

<36> 도 3에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 캐패시터는, 적어도 트랜지스터 및 비트라인이 형성된 반도체 기판(21) 상에 층간절연막(22)이 형성되고, 층간절연막(22)을 관통하는 콘택홀이 반도체 기판(21)의 일부를 노출시키고 있으며, 폴리실리콘플러그(23)가 콘택홀을 일부 채우는 두께로 형성되고, 폴리실리콘플러그(23) 상부의

나머지 콘택홀은 지지홈(27)으로 제공된다. 그리고, 지지홈(27)에 자신의 하부가 박히는 실린더 구조의 스토리지노드(28a)가 폴리실리콘플러그(23)와 연결되고 있고, 더불어 스토리지노드(28a)의 하부는 층간절연막(22) 상의 질화막(24)에 의해 지지되고 있다. 그리고, 스토리지노드(28a) 상에 유전막(30)과 플레이트노드(31)가 적층되고 있다. 한편, 지지홈(27)과 질화막(24)에 의해 지지되고 있는 실린더 구조의 스토리지노드(28a)는 하부 임계선폭(Critical Dimension; CD)이 상부 임계선폭에 비해 좁은 형태이다.

<37> 도 3과 같은 캐패시터에 있어서, 실린더 구조의 스토리지노드(28a)의 하부가 폴리실리콘플러그(23) 상부의 콘택홀(22a)에 제공된 지지홈(27)에 박혀 견고하게 지지되고 있어 브릿지 및 뿔힘 현상이 방지된다.

<38> 도 4a 내지 도 4f는 도 3에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도이다.

<39> 도 4a에 도시된 바와 같이, 트랜지스터 및 비트라인 등의 반도체 회로가 형성된 반도체 기판(21) 상에 층간절연막(22)을 형성한 후, 층간절연막(22)을 식각하여 반도체 기판(21)의 일부를 노출시키는 콘택홀(22a)을 형성한다. 이때, 콘택홀(22a)은 통상적으로 트랜지스터의 소스/드레인 영역, 도우프드 실리콘막, 에피택셜 성장된 실리콘막 등을 노출시킨다.

<40> 다음에, 콘택홀(22a)을 채울때까지 층간절연막(22) 상에 폴리실리콘막을 증착한 후, 층간절연막(22)의 표면이 드러날때까지 리세스 에치백 또는 화학적기계적연마 공정을 실시하여 평탄화한다. 이와 같은 폴리실리콘막의 평탄화 공정후에 콘택홀(22a)에는 폴리실리콘플러그(23)가 매립되고, 폴리실리콘플러그(23)의 표면은 층간절연막(22)의 표면과 일치하는 평탄도를 갖는다.

- <41> 계속해서, 폴리실리콘플러그(23)를 포함한 층간절연막(22) 상에 질화막(24), 스토리지노드 산화막(25)을 차례로 형성한다. 이때, 질화막(24)과 스토리지노드산화막(25)의 총 두께는  $6000\text{\AA} \sim 20000\text{\AA}$  이고, 질화막(24)의 두께는  $100\text{\AA} \sim 2000\text{\AA}$  이다. 그리고, 스토리지노드산화막(25)은 단일 CVD(Chemical Vapor Deposition) 산화막으로서, USG(Undoped Silicate Glass), PSG(Phospho Silicate Glass), BPSG(Boro Phospho Silicate Glass) 또는 PETEOS(Plasma Enhance Tetra Ethyl Ortho Silicate) 중에서 선택하여 사용한다.
- <42> 다음에, 스토리지노드 산화막(25)상에 스토리지노드 마스크를 형성한 후, 스토리지노드 마스크를 식각마스크로 스토리지노드 산화막(25)을 건식식각하고, 연속해서 질화막(24)을 건식식각하여 스토리지노드 홀(26)을 형성한다.
- <43> 도 4b에 도시된 바와 같이, 스토리지노드 홀(26)의 바닥에 드러난 폴리실리콘플러그(23)의 상부를 리세스(recess)하여 지지홈(27)을 형성한다. 이때, 지지홈(27)은 스토리지노드 홀(26)의 바닥으로 부터 일정 깊이만큼 움푹 패이는 형태이다. 한편, 폴리실리콘플러그(23)의 리세스는 건식식각법 또는 습식식각법을 이용한다.
- <44> 첫째, 건식식각법을 이용한 폴리실리콘플러그(23)의 리세스 공정을 살펴보면, 스토리지노드산화막(25) 대 폴리실리콘막의 식각률이 1:40인 케미스트리(chemistry)를 적용한 건식식각법을 사용하되,  $500\text{\AA} \sim 5000\text{\AA}$  타겟으로 건식식각한다.
- <45> 둘째, 습식식각법을 이용한 폴리실리콘플러그(23)의 리세스 공정을 살펴보면,  $\text{NH}_4\text{OH}:\text{H}_2\text{O}$ (부피 혼합비=10:1~1:500)의 혼합 케미컬 용액 또는  $\text{HF}:\text{HNO}_3$ (부피혼합비=20:1~1:100)의 혼합 케미컬 용액을 사용한다. 이때, 혼합 케미컬 용액을 이용한 리세스는  $4^\circ\text{C}$

~100℃의 온도를 유지하는 용기(bath)에서 5초~3600초동안 딥핑(dipping)한다. 그리고, 식각타겟은 500 Å ~ 5000 Å로 한다.

<46> 전술한 바와 같은 지지홈(27)의 형성은 스토리지노드콘택(SNC)이 폴리실리콘플러그가 아닌 경우에도 적용 가능하다. 즉, 일정 이상의 선택비를 가진 건식식각 케미스트리와 혼합케미컬 용액을 사용하여 그 스토리지노드콘택을 리세스시켜 지지홈(27)을 형성한다.

<47> 도 4c에 도시된 바와 같이, 지지홈(27)을 포함한 전면에 화학기상증착법(CVD)을 이용하여 도우프드 실리콘막(28)을 증착한다. 이때, 도우프드 실리콘막(28)은 지지홈(27)의 바닥까지 충분히 증착된다. 그리고, 도우프드 실리콘막(28)의 단일막외에 도우프드 실리콘막과 언도우프드 실리콘막의 이중막을 적용할 수도 있다.

<48> 다음에, 지지홈(27) 및 스토리지노드 홀(26)을 채울때까지 도우프드 실리콘막(28)상에 에치백 배리어막(29)인 감광막을 형성한다. 이때, 에치백 배리어막(29)으로 산화막을 이용할 수도 있다.

<49> 다음에, 부분 노광 및 현상으로 스토리지노드 홀(26)에만 에치백 배리어막(29)을 잔류시킨다.

<50> 도 4d에 도시된 바와 같이, 잔류하는 에치백 배리어막(29)을 식각배리어로 하여 스토리지노드홀(26)을 제외한 부분에 형성된 도우프드 실리콘막(28)을 에치백하여 도우프드 실리콘막으로 된 실린더 구조의 스토리지노드(28a)를 형성한다. 다음에, 잔류하는 에치백 배리어막(29)를 제거한다. 이상의 공정을 스토리지노드 분리(Storage node isolation) 공정이라고 한다.

- <51> 전술한 바와 같은 일련의 에치백 공정에 의해 실린더 구조의 스토리지노드(28a)를 형성하는데, 스토리지노드(28a)의 하부는 지지홈(27)에 박히는 구조를 갖는다. 비록 바닥으로 갈수록 폭이 좁아지는 스토리지노드 홀(26)내에 실린더 구조의 스토리지노드(28a)가 형성되고는 있으나, 스토리지노드(28a) 형성전에 미리 지지홈(27)을 형성하므로써 스토리지노드(28a)의 하부가 지지홈(27)에 박히는 형태로 형성할 수 있고, 이처럼 지지홈(27)은 스토리지노드(28a)의 구조적 강도를 견고하게 해주는 역할을 한다.
- <52> 한편, 스토리지노드 분리 공정은 감광막 또는 산화막을 스토리지노드홀(26) 내부에만 잔류시킨후 스토리지노드산화막(25)의 표면이 드러날때까지 도우프드 실리콘막(28)을 화학적기계적연마(CMP)하는 방법으로도 가능하다.
- <53> 도 4e에 도시된 바와 같이, 스토리지노드 산화막(25)을 HF 계열의 케미컬 용액을 이용한 습식 딥아웃 공정을 통해 제거한다. 이때, 습식 딥아웃 공정은 4℃~80℃의 온도를 유지하는 용기에서 10초~3600초동안 딥핑하여 이루어지고, 질화막(24)이 스토리지노드산화막(25)의 습식 딥아웃 공정시 식각배리어 역할을 하므로 층간절연막(22)의 손상이 방지된다.
- <54> 전술한 습식 딥아웃 공정시 질화막(24)과 지지홈(27)이 실린더 구조의 스토리지노드(28a)의 하부를 지지하고 있기 때문에 스토리지노드(28a)가 넘어지는 것을 방지한다.
- <55> 도 4f에 도시된 바와 같이, 실린더 구조의 스토리지노드(28a) 상에 유전막(30)과 플레이트노드(31)를 차례로 형성하여 MIS 캐패시터를 완성한다. 이때, 유전막(30)은 금속유기화학증착법(MOCVD) 또는 원자층증착법(ALD)을 이용하여  $\text{SiO}_2$ ,  $\text{SiO}_2/\text{Si}_3\text{N}_4$ ,  $\text{TaON}$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{Ta-Ti-O}$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{HfO}_2/\text{Al}_2\text{O}_3$ ,  $\text{SrTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $(\text{Pb}, \text{Sr})\text{TiO}_3$  등을 50Å~500Å의 두께로 형성한 것이다. 그리고, 플레이트노드(31)는 스퍼터링법, 화

학기상증착법 또는 원자층증착법을 이용하여 TiN, Ru, Ir, Pt 등을 500Å~3000Å의 두께로 증착한 후 패터닝한 것이다.

<56> 도 5는 본 발명의 제2 실시예에 따른 캐패시터의 구조 단면도이다.

<57> 도 5에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 캐패시터는, 적어도 트랜지스터 및 비트라인이 형성된 반도체 기판(41) 상에 층간절연막(42)이 형성되고, 층간절연막(42)을 관통하는 콘택홀(42a)이 반도체 기판(41)의 일부를 노출시키고 있으며, 폴리실리콘플러그(43)가 콘택홀(42a)을 일부 채우는 두께로 리세스되어 형성되고, 폴리실리콘플러그(43) 상부의 나머지 콘택홀(42a)은 지지홈(47)으로 제공된다. 그리고, 지지홈(47)에 자신의 하부가 박히는 실린더 구조의 스토리지노드(48a)가 폴리실리콘플러그(43)와 연결되고 있고, 더불어 스토리지노드(48a)의 하부는 지지홈(47)과 더불어 계단식 개구를 제공하는 질화막(44)에 의해 지지되면서 질화막(44) 상에 일부가 안착되는 굴곡을 갖고 있다. 한편, 지지홈(47)과 질화막(44)에 의해 지지되고 있는 실린더 구조의 스토리지노드(48a)는 하부 임계선폭(CD)이 상부 임계선폭에 비해 좁은 형태이다.

<58> 도 5와 같은 캐패시터에 있어서, 실린더 구조의 스토리지노드(48a)의 하부가 폴리실리콘플러그(43) 상부의 콘택홀(42a)에 제공된 지지홈(47)과 질화막(44) 상의 굴곡에 의해 견고하게 지지되고 있어, 도 3의 캐패시터에 비해 브릿지 및 뽑힘 현상 방지 효과가 더 우수하다.

<59> 도 6a 내지 도 6g는 도 5에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도이다.

- <60> 도 6a에 도시된 바와 같이, 트랜지스터 및 비트라인 등의 반도체 회로가 형성된 반도체 기판(41) 상에 층간절연막(42)을 형성한 후, 층간절연막(42)을 식각하여 반도체 기판(41)의 일부를 노출시키는 콘택홀(42a)을 형성한다. 이때, 콘택홀(42a)은 통상적으로 트랜지스터의 소스/드레인 영역, 도우프트 실리콘막, 에피택셜 성장된 실리콘막 등을 노출시킨다.
- <61> 다음에, 콘택홀(42a)을 채울때까지 층간절연막(42) 상에 폴리실리콘막을 증착한 후, 층간절연막(42)의 표면이 드러날때까지 리세스 에치백 공정을 실시하여 평탄화한다. 이와 같은 폴리실리콘막의 리세스 에치백후에 콘택홀(42a)에는 폴리실리콘플러그(43)가 매립되고, 폴리실리콘플러그(43)의 표면은 층간절연막(42)의 표면과 일치하는 평탄도를 갖는다.
- <62> 계속해서, 폴리실리콘플러그(43)를 포함한 층간절연막(42) 상에 질화막(44), 스토리지노드산화막(45a, 45b)을 차례로 형성한다. 이때, 질화막(44)의 두께는  $100\text{\AA} \sim 2000\text{\AA}$  이고, 질화막(44)과 스토리지노드 산화막(45a, 45b)의 총 두께는  $6000\text{\AA} \sim 20000\text{\AA}$  이며, 스토리지노드산화막(45a, 45b)은 습식식각률이 서로 다른 이중 CVD 산화막으로 스토리지노드의 높이를 결정짓는 막이다. 예컨대, 스토리지노드 산화막(45a, 45b)은 하부에 증착된 하부 스토리지노드산화막(45a)의 습식식각률이 상부 스토리지노드산화막(45b)의 그것보다 빠르고, 이러한 스토리지노드산화막(45a, 45b)은 USG, PSG, BPSG 또는 PETEOS 중에서 서로 다른 습식식각률을 가지는 것을 선택하여 이중막으로 형성한다.
- <63> 다음에, 스토리지노드 산화막(45a, 45b)상에 스토리지노드 마스크를 형성한 후, 스토리지노드 마스크를 식각마스크로 질화막(44)에서 식각이 멈출때까지 스토리지노드 산

화막(45a, 45b)을 건식식각하여 스토리지노드 홀(46a)을 형성한다. 이하, 스토리지노드 홀(46a)을 '협폭 스토리지노드 홀(46a)'이라고 약칭한다.

<64> 도 6b에 도시된 바와 같이, 희석된 불산(dilute HF), 불산 계열이 혼합된 케미컬, 암모니아수 계열이 혼합된 케미컬 등의 습식케미컬을 이용한 딥 공정을 통해 스토리지노드 산화막(45a, 45b)을 습식식각하여 협폭 스토리지노드 홀(46a)의 폭을 넓혀 광폭 스토리지노드 홀(46b)을 형성한다. 이때, 습식케미컬을 이용한 딥 공정은 4℃~180℃의 온도에서 10초~1800초동안 진행한다.

<65> 습식식각물이 서로 다른 스토리지노드 산화막(45a, 45b)을 딥하면, 하부 스토리지노드 산화막(45a)이 상부 스토리지노드 산화막(45b)보다 빨리 식각되어 광폭 스토리지노드 홀(46b)의 바닥의 폭이 입구의 폭에 비해 더 넓어진다. 즉, 하부 스토리지노드 산화막(45a)이 더 빨리 식각됨에 따라 상부 스토리지노드 산화막(45b) 아래에 언더컷 영역(46c)이 형성된다.

<66> 아울러, 딥 공정시, 식각배리어막인 질화막(44)은 선택비를 가져 식각되지 않고, 습식케미컬을 이용한 딥 공정시 질화막(44)이 오픈되지 않고 남아 있으므로 폴리실리콘플러그(43)가 손상되는 것을 방지한다.

<67> 도 6c에 도시된 바와 같이, 질화막(44)을 식각하여 폴리실리콘플러그(43)를 노출시킨 후, 하부 영역이 넓어진 광폭 스토리지노드 홀(46b)의 바닥에 드러난 폴리실리콘플러그(43)의 상부를 리세스하여 지지홈(47)을 형성한다. 이때, 지지홈(47)은 광폭 스토리지노드 홀(46b)의 바닥으로 부터 일정 깊이만큼 움푹 패이는 형태이다. 한편, 폴리실리콘플러그(43)의 리세스는 건식식각법 또는 습식식각법을 이용한다.



- <68> 첫째, 건식식각법을 이용한 폴리실리콘플러그(43)의 리세스 공정을 살펴보면, 스토리지노드산화막(45a, 45b) 대 폴리실리콘막의 식각률이 1:40인 케미스트리를 적용한 건식식각법을 사용하되, 500 Å ~ 5000 Å 타겟으로 건식식각한다.
- <69> 둘째, 습식식각법을 이용한 폴리실리콘플러그(43)의 리세스 공정을 살펴보면,  $\text{NH}_4\text{OH}:\text{H}_2\text{O}$ (부피 혼합비=10:1~1:500)의 혼합 케미컬 용액 또는  $\text{HF}:\text{HNO}_3$ (부피혼합비=20:1~1:100)의 혼합 케미컬 용액을 사용한다. 이때, 혼합 케미컬 용액을 이용한 리세스는 4℃ ~ 100℃의 온도를 유지하는 용기(bath)에서 5초~3600초동안 딥핑(dipping)한다. 그리고, 식각타겟은 500 Å ~ 5000 Å로 한다.
- <70> 전술한 바와 같은 지지홈(47)의 형성은 스토리지노드콘택(SNC)이 폴리실리콘플러그가 아닌 경우에도 적용 가능하다. 즉, 일정 이상의 선택비를 가진 건식식각 케미스트리와 혼합케미컬 용액을 사용하여 그 스토리지노드콘택을 리세스시켜 지지홈(27)을 형성한다.
- <71> 도 6d에 도시된 바와 같이, 지지홈(47)을 포함한 전면에 화학기상증착법(CVD)을 이용하여 도우프드 실리콘막(48)을 증착한다. 이때, 도우프드 실리콘막(48)은 언더컷 영역(46c)의 구석 및 지지홈(47)의 바닥까지 충분히 증착된다. 그리고, 도우프드 실리콘막(48)의 단일막외에 도우프드 실리콘막과 언도우프드 실리콘막의 이중막을 적용할 수도 있다.
- <72> 다음에, 지지홈(47) 및 광폭 스토리지노드 홀(46b)을 채울때까지 도우프드 실리콘막(48) 상에 에치백 배리어막(49)인 감광막을 형성한다. 이때, 에치백 배리어막(49)으로 산화막을 이용할 수도 있다.

- <73> 다음에, 부분 노광 및 현상으로 광폭 스토리지노드 홀(46b)에만 에치백 배리어막(49)을 잔류시킨다.
- <74> 도 6e에 도시된 바와 같이, 잔류하는 에치백 배리어막(49)을 식각배리어로 하여 광폭 스토리지노드홀(46b)을 제외한 부분에 형성된 도우프드 실리콘막(48)을 에치백하여 도우프드 실리콘막으로 된 실린더 구조의 스토리지노드(48a)를 형성한다. 다음에, 잔류하는 에치백 배리어막(49)를 제거한다. 이상의 공정을 스토리지노드 분리 공정이라고 한다.
- <75> 전술한 바와 같은 일련의 에치백 공정에 의해 실린더 구조의 스토리지노드(428a)를 형성하는데, 스토리지노드(428a)의 하부는 언더컷 영역(46c)과 지지홈(47)에 박히는 구조를 갖는다. 비록 바닥으로 갈수록 폭이 좁아지는 광폭 스토리지노드 홀(46b)내에 실린더 구조의 스토리지노드(48a)가 형성되고는 있으나, 스토리지노드(48a) 형성전에 미리 언더컷 영역(46c)과 지지홈(47)을 형성하므로써 스토리지노드(48a)의 하부가 언더컷 영역(46c)과 지지홈(47)에 박히는 형태로 형성할 수 있고, 이처럼 언더컷 영역(46c)과 지지홈(47)은 스토리지노드(48a)의 구조적 강도를 견고하게 해주는 역할을 한다.
- <76> 한편, 스토리지노드 분리 공정은 감광막 또는 산화막을 광폭 스토리지노드홀(46b) 내부에만 잔류시킨후 상부 스토리지노드산화막(45b)의 표면이 드러날때까지 도우프드 실리콘막(48)을 화학적기계적연마(CMP)하는 방법으로도 가능하다.
- <77> 도 6f에 도시된 바와 같이, 스토리지노드 산화막(45a, 45b)을 HF 계열의 케미컬 용액을 이용한 습식 딥아웃 공정을 통해 제거한다. 이때, 습식 딥아웃 공정은 4℃~80℃의 온도를 유지하는 용기에서 10초~3600초동안 딥핑하여 이루어지고, 질화막(44)이 스토

리지노드산화막(45a, 45b)의 습식 딥아웃 공정시 식각배리어 역할을 하므로 층간절연막(22)의 손상이 방지된다.

<78> 습식 딥아웃 공정시, 질화막(44)과 지지층(47)이 실린더 구조의 스토리지노드(48a)의 하부를 지지하고 있고, 더욱이 언더컷 영역(도 6e의 '46c')에 의해 질화막(44)에 안착되는 굴곡 구조를 더 갖기 때문에, 스토리지노드(48a)가 넘어지는 것을 방지한다.

<79> 결국, 실린더 구조의 스토리지노드(48a)는 하부 영역이 상부 영역에 비해 그 임계선폭이 더 넓은 실린더 형태이고, 특히 하부 영역이 지지층(47)과 언더컷 영역(도 6e의 '46c')에 의해 굴곡지는 형태를 가지므로, 도 3의 캐패시터에 비해 상대적으로 표면적이 증가한다.

<80> 도 6g에 도시된 바와 같이, 실린더 구조의 스토리지노드(48a) 상에 유전막(50)과 플레이트노드(51)를 차례로 형성하여 MIS 캐패시터를 완성한다. 이때, 유전막(50)은 금속유기화학증착법(MOCVD) 또는 원자층증착법(ALD)을 이용하여  $\text{SiO}_2$ ,  $\text{SiO}_2/\text{Si}_3\text{N}_4$ , TaON,  $\text{Ta}_2\text{O}_5$ ,  $\text{TiO}_2$ , Ta-Ti-O,  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{HfO}_2/\text{Al}_2\text{O}_3$ ,  $\text{SrTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $(\text{Pb}, \text{Sr})\text{TiO}_3$  등을 50 Å ~ 500 Å의 두께로 형성한 것이다. 그리고, 플레이트노드(51)는 스퍼터링법, 화학기상증착법 또는 원자층증착법을 이용하여 TiN, Ru, Ir, Pt 등을 500 Å ~ 3000 Å의 두께로 증착한 후 패터닝한 것이다.

<81> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또

한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

- <82> 상술한 바와 같은 본 발명은 폴리실리콘플러그를 리세스시켜 제공하는 지지홈에 하부구조를 지지시키므로써 실린더 구조의 스토리지노드의 하부 구조의 강도를 견고하게 하여 브릿지 및 뿔힘 현상을 방지하고, 이로써 웨이퍼 수율을 2배~3배 이상 향상시킬 수 있는 효과가 있다.
- <83> 또한, 지지홈과 더불어 하부 영역을 굴곡지는 형태로 형성하므로써 스토리지노드의 표면적을 증대시켜 캐패시터의 정전 용량을 향상시킬 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상부에 층간절연막을 형성하는 단계;

상기 층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀에 매립되면서 상기 층간절연막의 표면과 일치하는 평탄도를 갖는 스토리지노드콘택을 형성하는 단계;

상기 층간절연막 상에 스토리지노드산화막을 형성하는 단계;

상기 스토리지노드산화막을 식각하여 상기 스토리지노드콘택을 노출시키는 스토리지노드홀을 형성하는 단계;

상기 스토리지노드홀에 의해 노출된 상기 스토리지노드콘택의 상부 일부를 리세스시켜 아래로 꺼지는 형태의 지지홈을 형성하는 단계; 및

상기 스토리지노드홀 내에 자신의 하부 영역이 상기 지지홈에 지지되면서 상기 스토리지노드 콘택과 전기적으로 연결되는 실린더 구조의 스토리지노드를 형성하는 단계를 포함하는 캐패시터의 제조 방법.

**【청구항 2】**

제1 항에 있어서,

상기 스토리지노드콘택은 폴리실리콘플러그이고, 상기 지지홈을 형성하는 단계에서 상기 폴리실리콘플러그의 상부가 리세스되는 것을 특징으로 하는 캐패시터의 제조 방법

### 【청구항 3】

제2 항에 있어서,

상기 지지홈을 형성하는 단계는, 상기 폴리실리콘플러그의 상부를 건식식각 또는 습식식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

### 【청구항 4】

제3 항에 있어서,

상기 건식식각은, 상기 스토리지노드산화막 대 상기 폴리실리콘막의 식각률이 1:40 인 케미스트리를 적용하는 것을 특징으로 하는 캐패시터의 제조 방법.

### 【청구항 5】

제3 항에 있어서,

상기 습식식각은,  $\text{NH}_4\text{OH}:\text{H}_2\text{O}$ (부피 혼합비=10:1~1:500)의 혼합 케미컬 용액 또는  $\text{HF}:\text{HNO}_3$ (부피혼합비=20:1~1:100)의 혼합 케미컬 용액을 사용하는 것을 특징으로 하는 캐패시터의 제조 방법.

**【청구항 6】**

제5 항에 있어서,

상기 혼합 케미컬 용액은  $4^{\circ}\text{C} \sim 100^{\circ}\text{C}$ 의 온도를 유지하는 용기에서 5초~3600초동안  
딤핑하는 것을 특징으로 하는 캐패시터의 제조 방법.

**【청구항 7】**

제3 항에 있어서,

상기 지지홀을 형성하는 단계는,

상기 폴리실리콘플러그를  $50\text{\AA} \sim 5000\text{\AA}$ 의 식각타겟으로 진행하는 것을 특징으로 하  
는 캐패시터의 제조 방법.

**【청구항 8】**

반도체 기판 상부에 층간절연막을 형성하는 단계;

상기 층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 콘택홀을 형  
성하는 단계;

상기 콘택홀에 매립되면서 상기 층간절연막의 표면과 일치하는 평탄도를 갖는 스토  
리지노드콘택을 형성하는 단계;

상기 층간절연막 상에 상부층이 하부층에 비해 상대적으로 습식식각률이 빠른 이  
중층의 스토리지노드산화막을 형성하는 단계;

상기 스토리지노드산화막을 식각하여 상기 스토리지노드콘택을 노출시키는 스토리지노드홀을 형성하는 단계;

상기 스토리지노드 홀의 폭을 넓힘과 동시에 상기 스토리지노드산화막의 하부층을 언더컷시키는 단계;

상기 폭이 넓어진 스토리지노드홀에 의해 노출된 상기 스토리지노드콘택의 상부 일부를 리세스시켜 아래로 꺼지는 형태의 지지홈을 형성하는 단계; 및

상기 폭이 넓어진 스토리지노드홀 내에 자신의 하부 영역이 상기 지지홈과 상기 언더컷에 지지되면서 상기 스토리지노드 콘택과 전기적으로 연결되는 실린더 구조의 스토리지노드를 형성하는 단계

를 포함하는 캐패시터의 제조 방법.

#### 【청구항 9】

제8 항에 있어서,

상기 상기 스토리지노드 홀의 폭을 넓힘과 동시에 상기 스토리지노드산화막의 하부층을 언더컷시키는 단계는, 습식케미컬을 이용한 딥 공정을 통해 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

#### 【청구항 10】

제8 항에 있어서,



상기 스토리지노드콘택은 폴리실리콘플러그이고, 상기 지지홈을 형성하는 단계에서 상기 폴리실리콘플러그의 상부가 리세스되는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 11】

제10 항에 있어서,

상기 지지홈을 형성하는 단계는, 상기 폴리실리콘플러그의 상부를 건식식각 또는 습식식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 12】

제11 항에 있어서,

상기 건식식각은, 상기 스토리지노드산화막 대 상기 폴리실리콘막의 식각률이 1:40 인 케미스트리를 적용하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 13】

제11 항에 있어서,

상기 습식식각은,  $\text{NH}_4\text{OH}:\text{H}_2\text{O}$ (부피 혼합비=10:1~1:500)의 혼합 케미컬 용액 또는  $\text{HF}:\text{HNO}_3$ (부피혼합비=20:1~1:100)의 혼합 케미컬 용액을 사용하는 것을 특징으로 하는 캐패시터의 제조 방법.

**【청구항 14】**

제13 항에 있어서,

상기 혼합 케미컬 용액은  $4^{\circ}\text{C} \sim 100^{\circ}\text{C}$ 의 온도를 유지하는 용기에서 5초 $\sim$ 3600초동안  
딤핑하는 것을 특징으로 하는 캐패시터의 제조 방법.

**【청구항 15】**

제11 항에 있어서,

상기 지지홀을 형성하는 단계는,

상기 폴리실리콘플러그를  $50\text{\AA} \sim 5000\text{\AA}$ 의 식각타겟으로 진행하는 것을 특징으로 하  
는 캐패시터의 제조 방법.

**【청구항 16】**

반도체 기판;

상기 반도체 기판 상에 상기 반도체 기판의 일부를 노출시키는 콘택홀을 갖고 형  
성된 층간절연막;

상기 콘택홀의 상부에 지지홀을 제공하면서 상기 콘택홀의 일부를 채우는 스토리지  
노드콘택; 및

상기 지지홀에 자신의 하부가 박히면서 상기 스토리지노드콘택과 연결되는 스토리  
지노드

를 포함하는 캐패시터.

【청구항 17】

제16 항에 있어서,

상기 지지홈과 더불어 계단식 개구를 제공하는 상기 층간절연막 상의 지지막을 더 포함하는 것을 특징으로 하는 캐패시터.

【청구항 18】

제17 항에 있어서,

상기 지지막은 질화막인 것을 특징으로 하는 캐패시터.

【청구항 19】

제16 항에 있어서,

상기 지지홈의 깊이는  $50\text{\AA} \sim 5000\text{\AA}$ 인 것을 특징으로 하는 캐패시터.

【청구항 20】

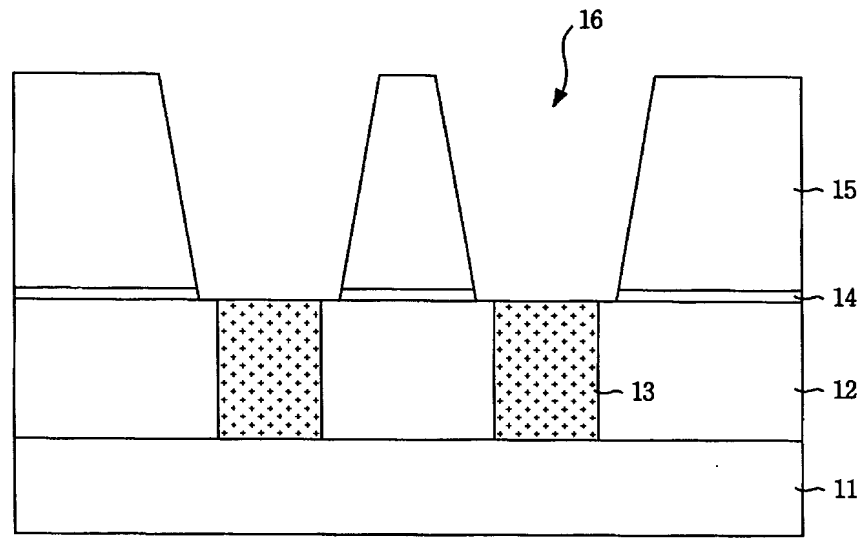
제16 항에 있어서,

상기 스토리지노드콘택은 폴리실리콘플러그인 것을 특징으로 하는 캐패시터.

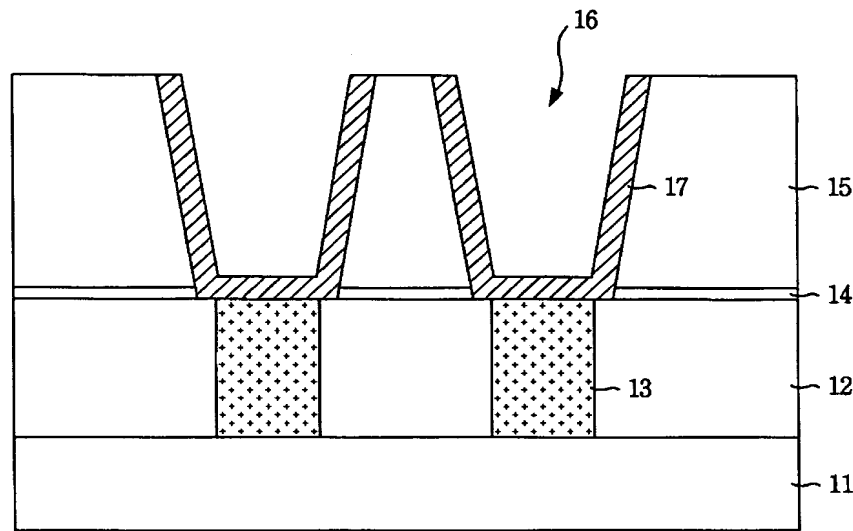


【도면】

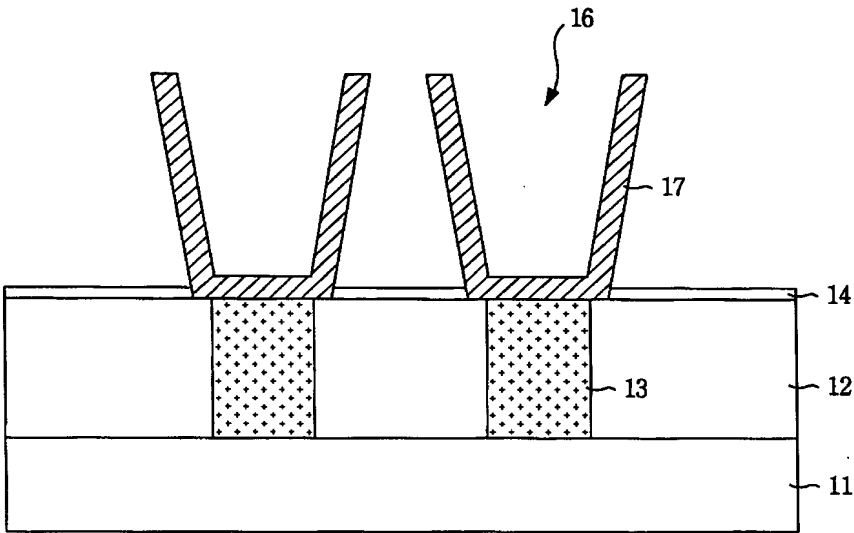
【도 1a】



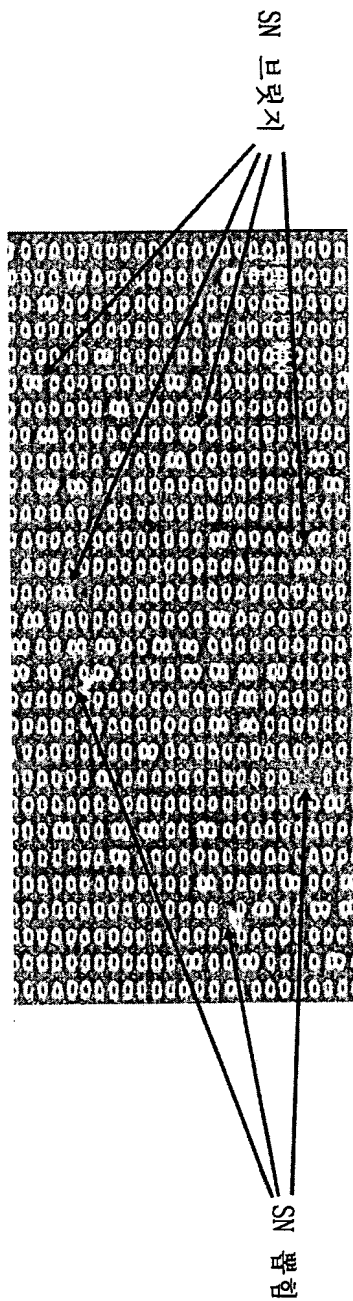
【도 1b】



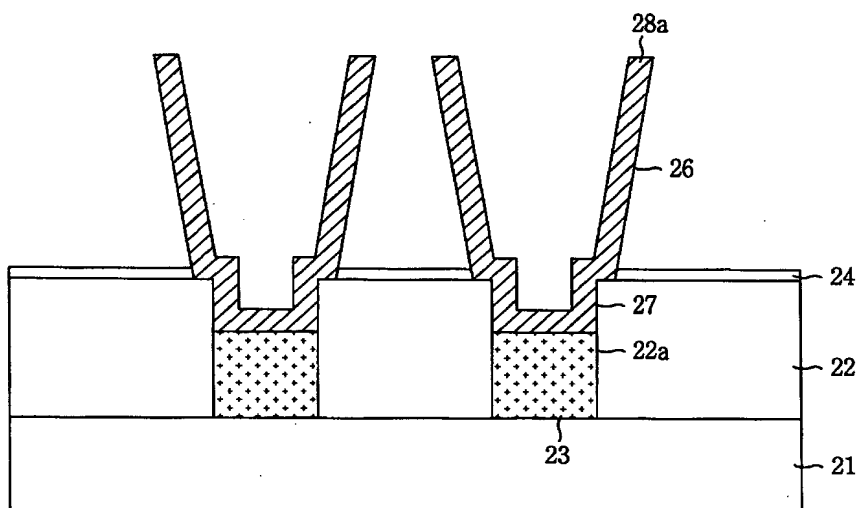
【도 1c】



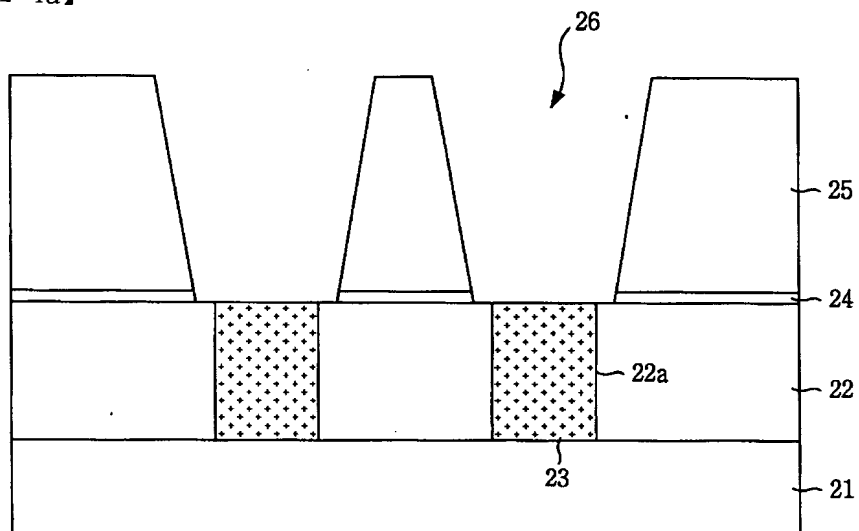
【도 2】



【도 3】

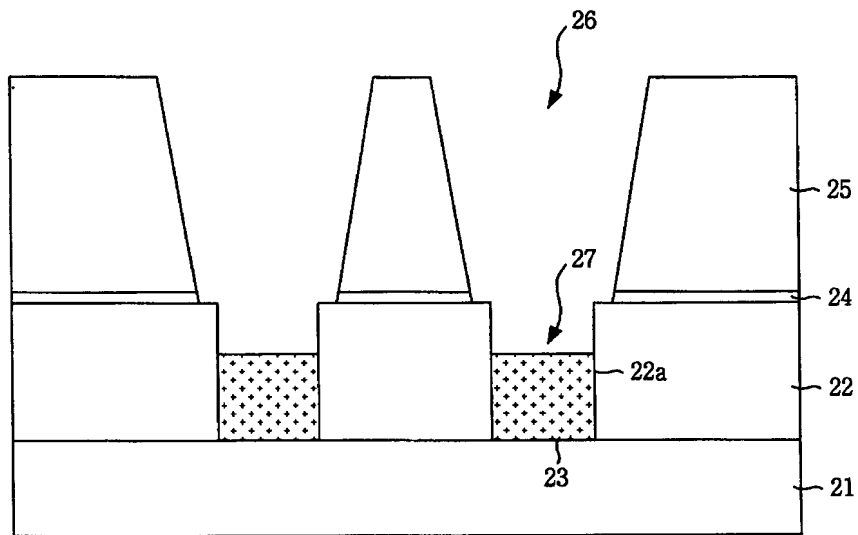


【도 4a】

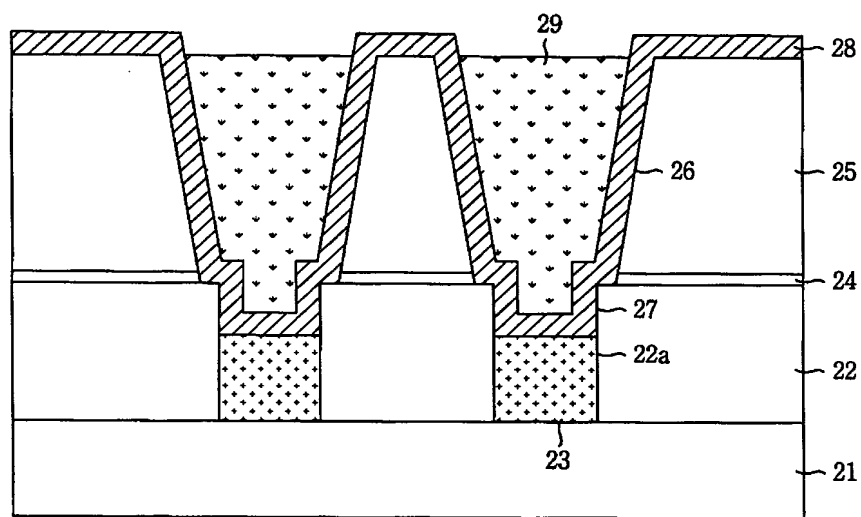




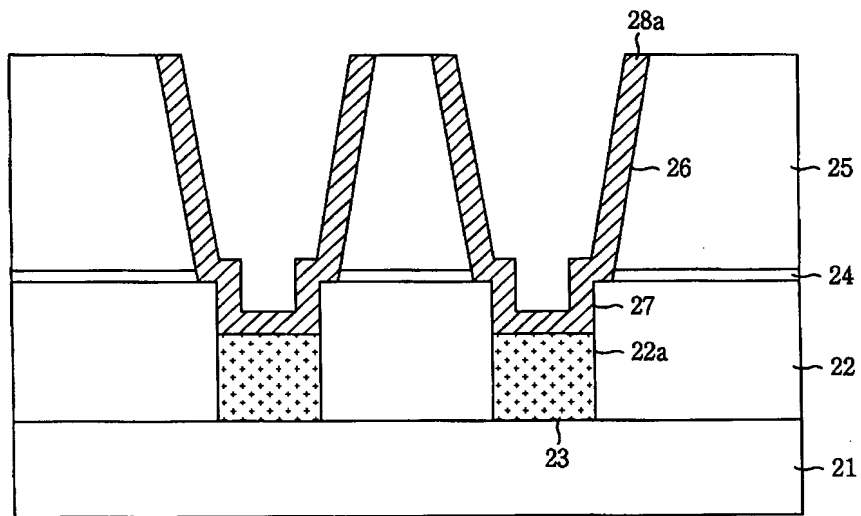
【도 4b】



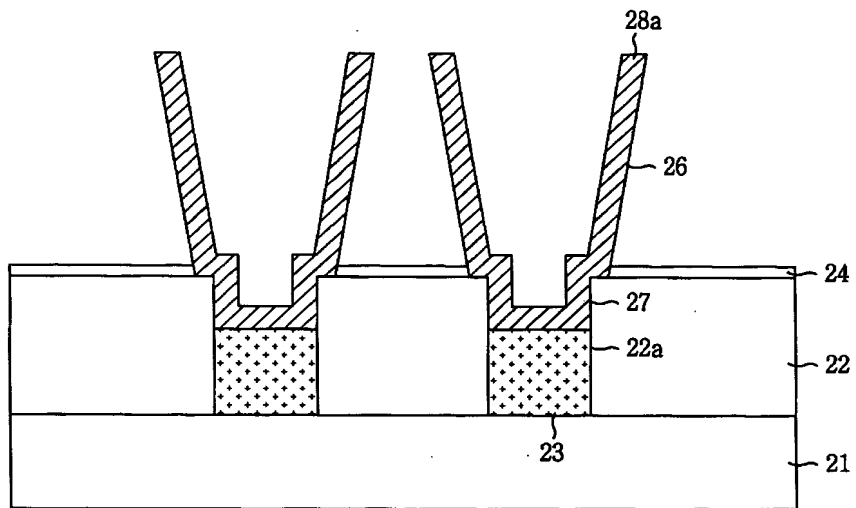
【도 4c】



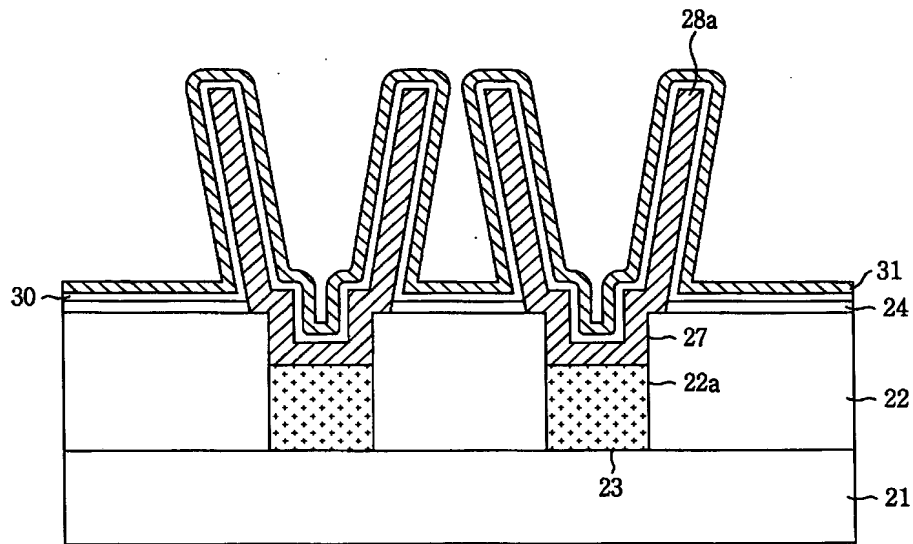
【도 4d】



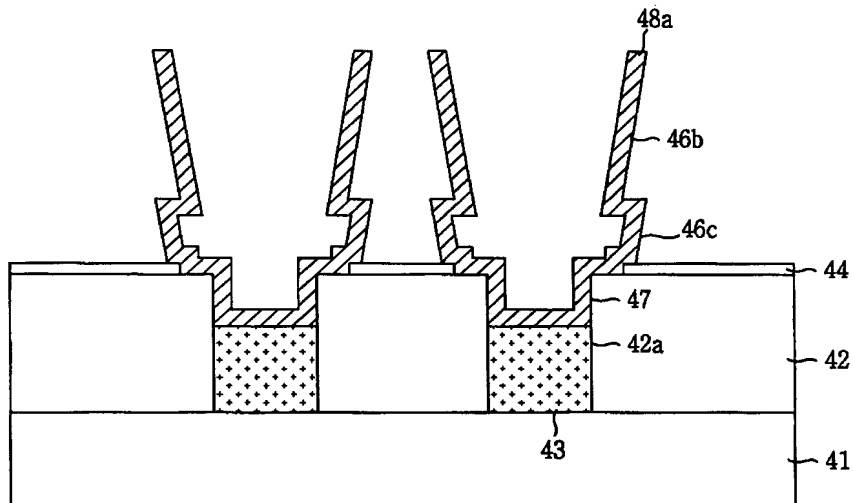
【도 4e】



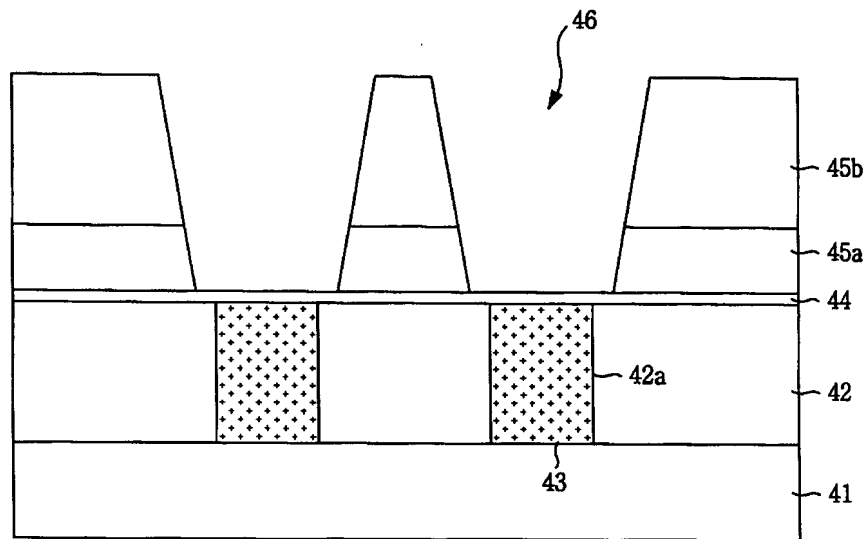
【도 4f】



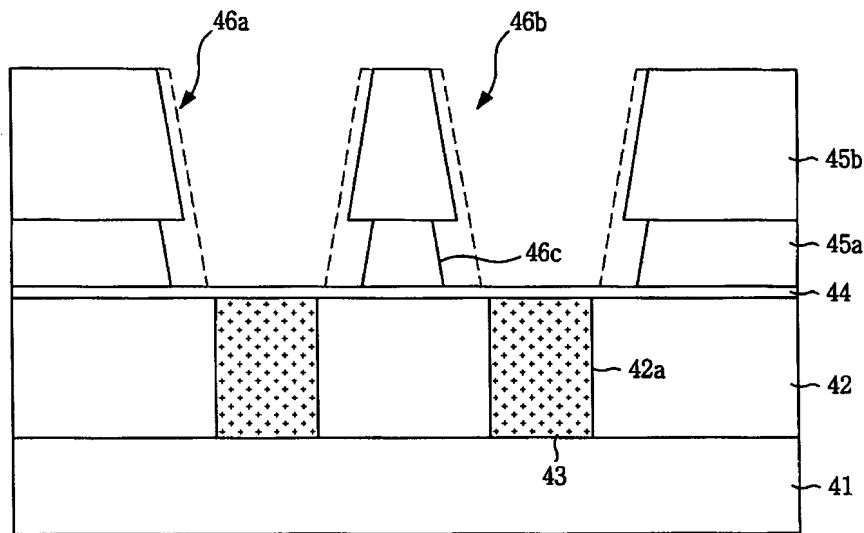
【도 5】



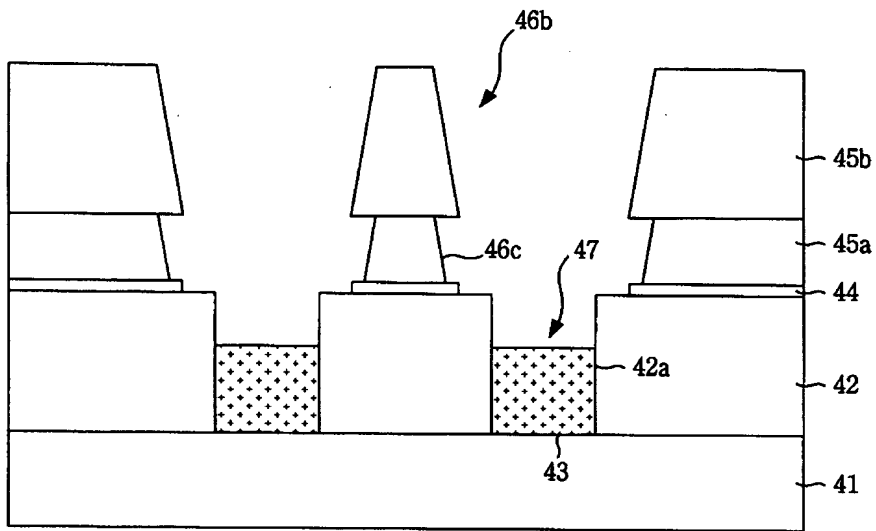
【도 6a】



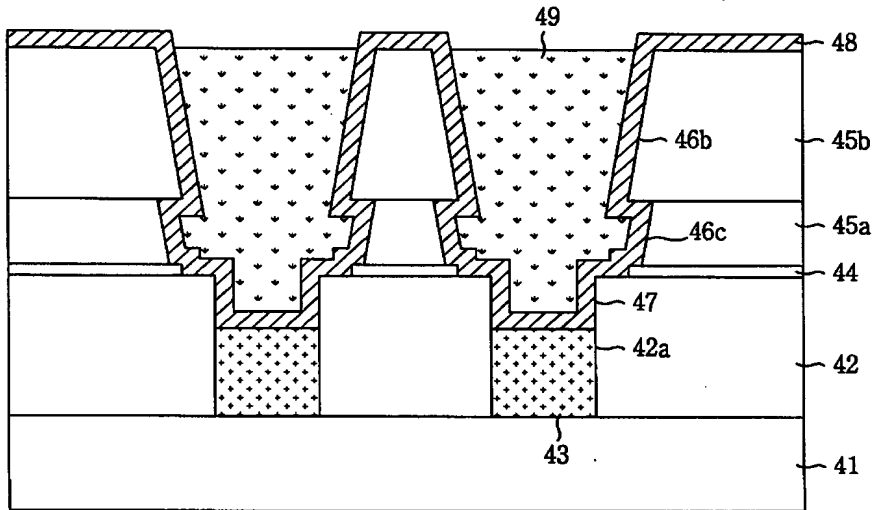
【도 6b】



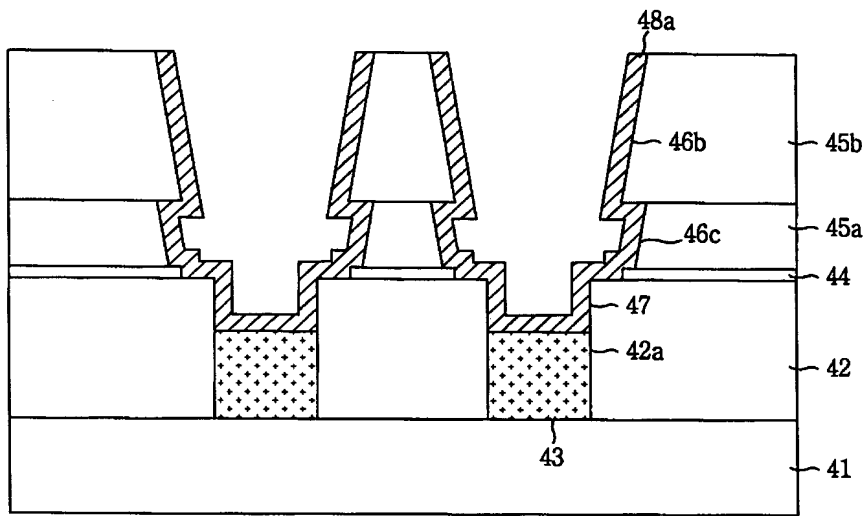
【도 6c】



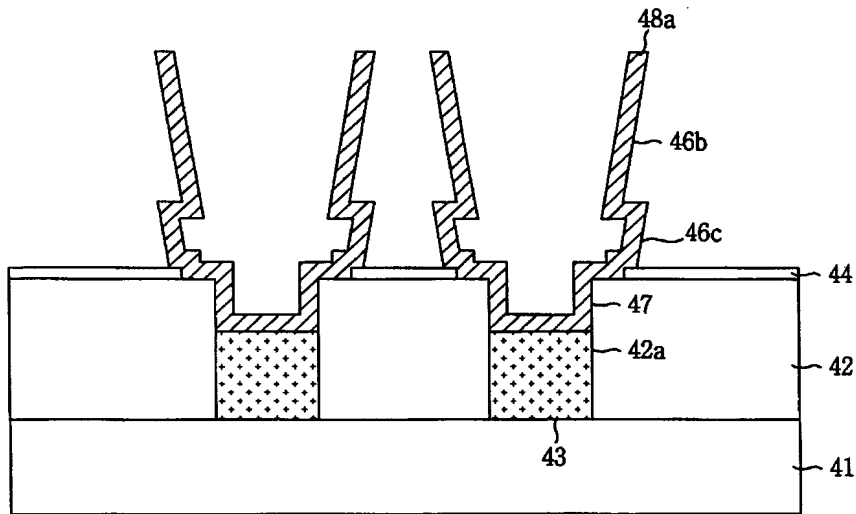
【도 6d】



【도 6e】



【도 6f】



【도 6g】

